

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 2 月 17 日 (17.02.2005)

PCT

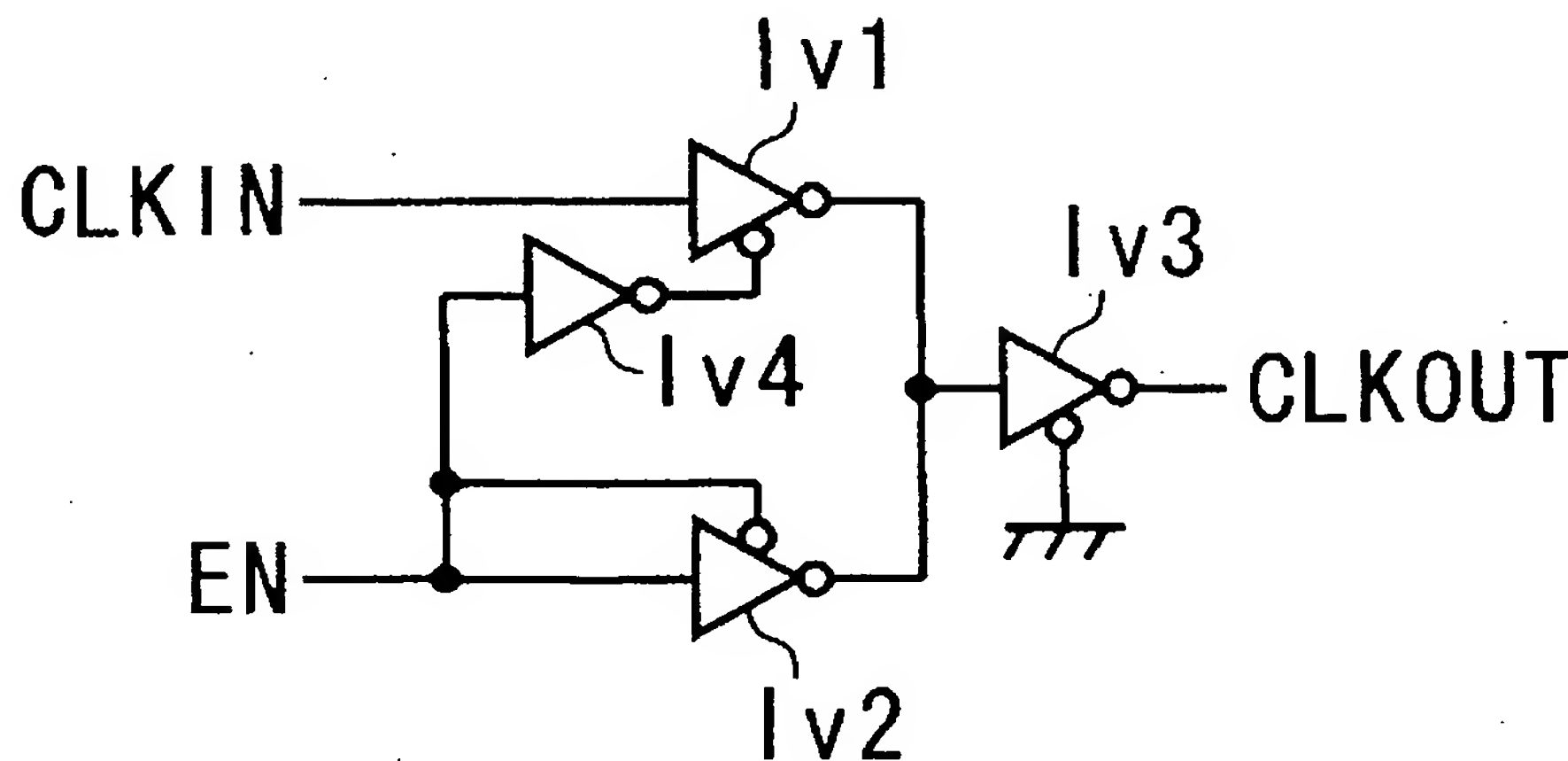
(10) 国際公開番号
WO 2005/015742 A1

- (51) 国際特許分類⁷: H03K 19/00 (74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪市中央区天満橋京町 2-6 天満橋八千代ビル別館 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/011170
- (22) 国際出願日: 2004 年 8 月 4 日 (04.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-290229 2003 年 8 月 8 日 (08.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大西 正樹 (ONISHI, Masaki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 藤原 正勇 (FUJIWARA, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CLOCK I/O UNIT

(54) 発明の名称: クロック入出力装置



(57) Abstract: A clock I/O unit comprising three state inverters Iv1-Iv3, and an inverter Iv4. The three state inverters Iv1-Iv3 and the inverter Iv4 equalize the ON resistance by a transistor on the power supply voltage side (VDD) to the ON resistance by a transistor on the ground voltage side (0), and a threshold voltage for varying the output with respect to the input becomes VDD/2. Duty ratio of a clock being outputted from the clock I/O unit can thereby be guaranteed by 50%.

(57) 要約: クロック入出力装置を、スリーステートインバータ Iv1~Iv3 と、インバータ Iv4 とによって構成する。このスリーステートインバータ Iv1~Iv3 及びインバータ Iv4 が、電源電圧側 (VDD) のトランジスタによる ON 抵抗と接地電圧側 (0) のトランジスタによる ON 抵抗とを同等として、入力に対して出力を変化させる閾値電圧を VDD/2 となる。よって、クロック入出力装置から出力されるクロックのデューティ比を 50% 保証することができる。



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。